

Requested Patent: JP5136693A

Title: PHASE LOCKED LOOP

Abstracted Patent: JP5136693

Publication Date: 1993-06-01

Inventor(s): KIYOSE MASASHI

Applicant(s): SANYO ELECTRIC CO LTD

Application Number: JP19910300535 19911115

Priority Number(s):

IPC Classification: H03L7/10 ; H03L1/02

Equivalents: JP2766103B2

ABSTRACT:

PURPOSE: To make the oscillation of the phase locked loop stable.

CONSTITUTION: An oscillation control MOS transistor (TR) 12 is connected to ground side of a CMOS TR 11 being a component of a voltage controlled oscillator 10 and a compensation MOS TR 13 is connected to a power supply side. A compensation voltage VTC fluctuates in response to a temperature change is fed from a temperature compensation circuit 20 to a gate of the compensation MOS TR 13. A 2nd control voltage Vc2 is fed to the oscillation control MOS TR 12 at the start of oscillation from a voltage compensation circuit 30 through a selection circuit 6. After the 2nd control voltage Vc2 is given to the voltage controlled oscillator 10 to fix a frequency of the oscillation clock OCK, the 1st control voltage Vc1 changing in response to the phase difference between the reference clock RCK and the oscillation clock OCK is fed to the voltage controlled oscillator 10.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-136693

(43)公開日 平成5年(1993)6月1日

(51)Int.Cl.⁵

識別記号

片内整理番号

F I

技術表示箇所

H 0 3 L 7/10

1/02

9182-5 J

9182-5 J

H 0 3 L 7/10

D

審査請求 未請求 請求項の数 2 (全 5 頁)

(21)出願番号

特願平3-300535

(22)出願日

平成3年(1991)11月15日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72)発明者 清瀬 雅司

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

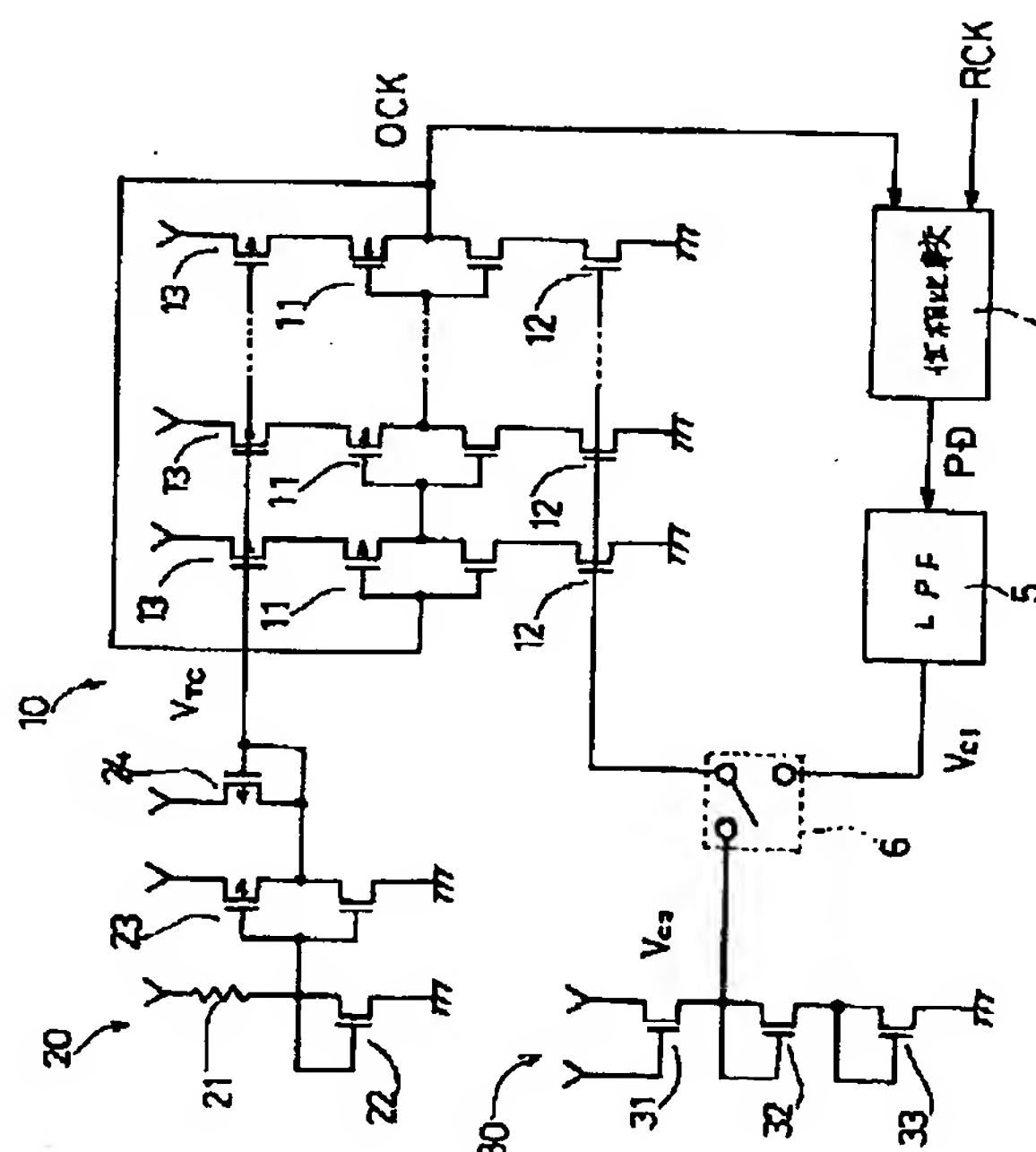
(74)代理人 弁理士 西野 卓嗣

(54)【発明の名称】 位相ロックループ

(57)【要約】

【目的】 位相ロックループの発振動作を安定化する。

【構成】 電圧制御発振器10を構成するCMOSトランジスタ11の接地側に発振制御用のMOSトランジスタ12を接続すると共に電源側に補償用のMOSトランジスタ13を接続する。補償用のMOSトランジスタ13のゲートには、温度変化に対応して変動する補償電圧 V_{TC} を温度補償回路20から供給する。発振制御用のMOSトランジスタ12には、発振の起動時に第2の制御電圧 V_{C2} を電圧補償回路30から選択回路6を通して供給する。第2の制御電圧 V_{C2} を電圧制御発振器10に与えて発振クロックOCKの周波数を固定した後、基準クロックRCKと発振クロックOCKとの位相差に応じて変化する第1の制御電圧 V_{C1} を電圧制御発振器10に供給する。



【特許請求の範囲】

【請求項1】 制御電圧の変化に応答して発振クロックの周波数を変動する電圧制御発振器と、周辺温度の変化に従う補償電圧を供給して上記電圧制御発振器の温度変化に伴う発振周波数の変動を補償する第1の補償手段と、一定周期の基準クロックに対する上記発振クロックの位相差を検波する位相比較器と、この位相比較器の出力が示す位相差に対応して変動する第1の電位を発生するフィルタと、電源電位の変動を補償して一定の電位を示す第2の電位を発生する第2の補償手段と、上記第1の電位あるいは第2の電位を制御電圧として上記電圧制御発振器に選択的に供給する選択手段と、を備えたことを特徴とする位相ロックループ。

【請求項2】 上記選択手段は、上記電圧制御発振器に上記第2の電位を供給して発振クロックの周波数を固定した後上記第1の電位を供給し、上記基準クロックに対して上記電圧制御発振器の発振クロックを追従させる選択制御手段を含むことを特徴とする請求項1記載の位相ロックループ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、基準クロックに対して発振クロックを追従させる位相ロックループに関する。

【0002】

【従来の技術】一定周期を有する基準クロックに対して周波数追尾を行う位相ロックループにおいては、制御電圧に応じて発振クロックの周波数が変化する電圧制御発振回路と、この発振クロックを基準クロックと位相比較する位相比較器と、位相比較出力を制御電圧として電圧制御発振器に与えるフィルタとにより閉ループが構成される。このような位相ロックループで発振を起動させる際には、電圧制御発振器に所定の固定電圧を制御電圧として与えて発振周波数を固定し、その後位相比較器の出力から得られる電圧を制御電圧として電圧制御発振器に与えている。従って、発振クロックが基準クロックに同期するまでの期間、即ち位相ロックループがロックするまでの期間が短縮されてスムーズな立ち上がりが可能になる。図2は、従来の位相ロックループの回路図である。

【0003】電圧制御発振器1は、直列接続された奇数段のCMOSトランジスタ2の出力を入力側に帰還して発振を得るリングオシレータで構成され、各CMOSトランジスタ2の接地側に接続されるNチャンネル型MOSトランジスタ3のゲートに発振制御用の電圧が与えられることにより発振クロックOCKの周波数が決定される。位相比較器4は、電圧制御発振器1の発振クロックOCKと、一定周期の基準クロックRCKとの位相差を検波し、互いの位相差を示す検波出力PDをローパスフィルタ5に入力する。ローパスフィルタ5は、発振クロックOCKとの位相差を示す位相比較器4の出力PDの

高周波成分を除去し、第1の制御電圧 V_{c1} として選択回路6に入力する。この選択回路6には、電源電圧を分圧する分圧回路7から第2の制御電圧 V_{c2} が入力され、第1の制御電圧 V_{c1} あるいは第2の制御電圧 V_{c2} が選択回路6から電圧制御発振器1の発振クロックOCKの周波数を決定するMOSトランジスタ3のゲートに与えられる。

【0004】位相比較器4の出力から得られる第1の制御電圧 V_{c1} は、発振クロックOCKと基準クロックRCKとの位相差に応じて変動し、電圧制御発振器1の発振クロックOCKが基準クロックRCKに同期するように周波数の制御を行う。これに対して第2の制御電圧 V_{c2} は、固定の電位を有しており、電圧制御発振器1の発振クロックOCKを所定の周波数に固定する。そこで選択回路6は、位相ロックループの発振を起動させる際、初めに第2の制御電圧 V_{c2} を選択して電圧制御発振器1に入力することによって電圧制御発振器1の発振クロックOCKを基準クロックRCKに近い周波数に一旦固定し、その後第1の制御電圧 V_{c1} を選択して電圧制御発振器1に入力して発振クロックOCKを基準クロックRCKに同期させるように構成される。即ち、発振の起動時には、電圧制御発振器1の発振クロックOCKが基準クロックRCKに対して大きくずれた周波数となり、発振クロックOCKを基準クロックRCKに同期させるまでの期間が長くなる場合があるため、発振クロックOCKの周波数を予め基準クロックRCKの周波数付近に固定するように所定のレベルを有する第2の制御電圧 V_{c2} を電圧制御発振器1に入力している。これにより、発振クロックOCKを素早く基準クロックRCKに同期させることができる。

【0005】

【発明が解決しようとする課題】以上のような位相ロックループにおいては、例えば、発振クロックOCKを基準クロックRCKより高めの周波数に固定し、そして発振クロックOCKの周波数を徐々に低くして基準クロックRCKに一致させるような制御が行われる。このため、初めに設定する発振クロックOCKの周波数は、基準クロックRCKの周波数に対して僅かに高くすることが好ましい。しかしながら、電源電位の変動による第2の制御電圧 V_{c2} の変化や、電圧制御発振器1を構成する各MOSトランジスタ2、3の温度特性により発振クロックOCKの周波数が不安定となり、発振クロックOCKの周波数が基準クロックRCKの周波数より低くなってしまうような場合が生じる。従って、発振クロックOCKが基準クロックRCKに同期するまでに必要以上の時間を要したり、場合によっては全く同期しないようなことが発生する虞がある。

【0006】そこで本発明は、電圧制御発振器1の起動時に設定する発振クロックOCKの周波数の変動を抑圧し、周波数追尾の動作を安定化することを目的とする。

【0007】

【課題を解決するための手段】本発明は、上述の課題を解決するために成されたもので、その特徴とするところは、制御電圧の変化にตอบสนองして発振クロックの周波数を変動する電圧制御発振器と、周辺温度の変化に従う補償電圧を供給して上記電圧制御発振器の温度変化に伴う発振周波数の変動を補償する第1の補償手段と、一定周期の基準クロックに対する上記発振クロックの位相差を検波する位相比較器と、この位相比較器の出力が示す位相差に対応して変動する第1の電位を発生するフィルタと、電源電位の変動を補償して一定の電位を示す第2の電位を発生する第2の補償手段と、上記第1の電位あるいは第2の電位を制御電圧として上記電圧制御発振器に選択的に供給する選択手段と、を備えたことにある。

【0008】

【作用】本発明によれば、温度変化に対して、第1の補償手段が電圧制御発振器の発振クロックの周波数を補償して一定に保ち、同時に電源電位の変動に対しては、第2の補償手段が制御電圧の変動を補償して電圧制御発振器の発振クロックの周波数の変動を抑圧する。従って、電圧制御発振器に起動時に設定される発振クロックの周波数が温度変化や電源電位の変動に対して変動しにくくなる。

【0009】

【実施例】図1は、本発明の位相ロックループの回路図である。この図において、位相比較器4、ローパスフィルタ5及び選択回路6は、図2と同一であり、同一部分に同一符号が付してある。電圧制御発振器10は、図2の電圧制御発振器1と同様に、奇数段のCMOSトランジスタ11からなるリングオシレータで構成され、各CMOSトランジスタ11の接地側に接続される発振制御用のNチャンネル型MOSトランジスタ12に与えられる電圧により発振クロックOCLKの周波数が設定される。また、各CMOSトランジスタ11の電源側には、Pチャンネル型MOSトランジスタ13がそれぞれ接続され、このMOSトランジスタ13のゲートに、温度の上昇に伴ってMOSトランジスタ13をオンさせるような温度補償電圧 V_{TC} が印加される。

【0010】この温度補償電圧 V_{TC} を発生する温度補償回路20は、電源接地間に直列に接続される抵抗21及びゲートがドレインに接続されるNチャンネル型MOSトランジスタ22と、この抵抗21及びMOSトランジスタ22の接続点の出力を受けるCMOSトランジスタ23と、このCMOSトランジスタ23の出力側に接続されてゲートがドレインに接続されるPチャンネル型MOSトランジスタ24とで構成され、CMOSトランジスタ23の出力を温度補償電圧 V_{TC} として電圧制御発振器10に供給している。従って、温度上昇によりMOSトランジスタ22の駆動能力が低下すると、MOSトランジスタ22での電圧降下が大きくなり、抵抗21とM

OSトランジスタ22との接続点の電位が上昇するため、CMOSトランジスタ23のPチャンネル側がオフしてNチャンネル側がオンする方向に動作してCMOSトランジスタ17の出力である温度補償電圧 V_{TC} が引き上げられる。この温度補償電圧 V_{TC} の上昇により、電圧制御発振器10の各CMOSトランジスタ11に接続されたMOSトランジスタ13のオン抵抗が低くなるため、温度上昇によるCMOSトランジスタ11の駆動能力の低下が補償されて各CMOSトランジスタ11の遅延量の増大が抑圧され、発振クロックOCLKの周波数の大幅な変動が防止される。

【0011】また、MOSトランジスタ12のゲートには、発振クロックOCLKと基準クロックRCLKとの位相差に応じて変動する第1の制御電圧 V_{C1} あるいは固定レベルの第2の制御電圧 V_{C2} の何れかが選択回路6から供給される。第1の制御電圧 V_{C1} については、図2と同様にして、電圧制御発振器10が出力する発振クロックOCLKと基準クロックRCLKとの位相差を検波する位相比較器4の比較出力PDから得られ、選択回路6に入力される。一方、第2の制御電圧 V_{C2} は、電源電位の変動に拘らず一定レベルの出力を得られる電圧補償回路30から得られて選択回路6に入力される。一定レベルの第2の制御電圧 V_{C2} を発生する電位補償回路30は、電源側に接続されてゲートに電源電位が与えられるNチャンネル型MOSトランジスタ31と、接地側に直列に接続されてゲートがドレインに接続される2つのNチャンネル型MOSトランジスタ32、33とで構成され、MOSトランジスタ31とMOSトランジスタ32の接続点の電位を第2の制御電圧 V_{C2} として出力する。このような電圧補償回路30によると、MOSトランジスタ32の電源側の電位が、接地電位に対して常にMOSトランジスタ32及び33の閾値分だけ高い電位を示すことになるため、MOSトランジスタ31、32の接続点から得られる第2の制御電圧 V_{C2} は、電源電位の変動に関係なく常に一定のレベルを保持する。

【0012】以上のような位相ロックループにおいては、発振の起動時に電圧制御発振器10に設定される発振クロックOCLKの周波数が、電源電位の変動や周辺温度の変化の影響を受けることなく、所望の値を維持する。なお、本実施例においては、電圧制御発振器10を構成するCMOSトランジスタ11の接地側に発振制御用のMOSトランジスタ12を接続し、電源側に補償用のMOSトランジスタ13を接続する場合を例示してあるが、それぞれのMOSトランジスタは、CMOSトランジスタ11の何れの側に接続するようにしても図1と同様に電圧制御発振器10を構成できる。

【0013】

【発明の効果】本発明によれば、発振の起動時に電圧制御発振器に設定される発振クロックの周波数が、電源電位の変動や温度変化の影響を受けて大きく変動すること

がなくなり、電圧制御発振器の発振が基準クロックに近い周波数に確実に設定される。従って、回路動作が安定し、電圧制御発振器に与える制御電圧を固定電圧から位相差に応じて変動する電圧に切り換えたときに電圧制御発振器の発振クロックが素早く基準クロックに追従するため、発振の立ち上がりが早くなる。

【図面の簡単な説明】

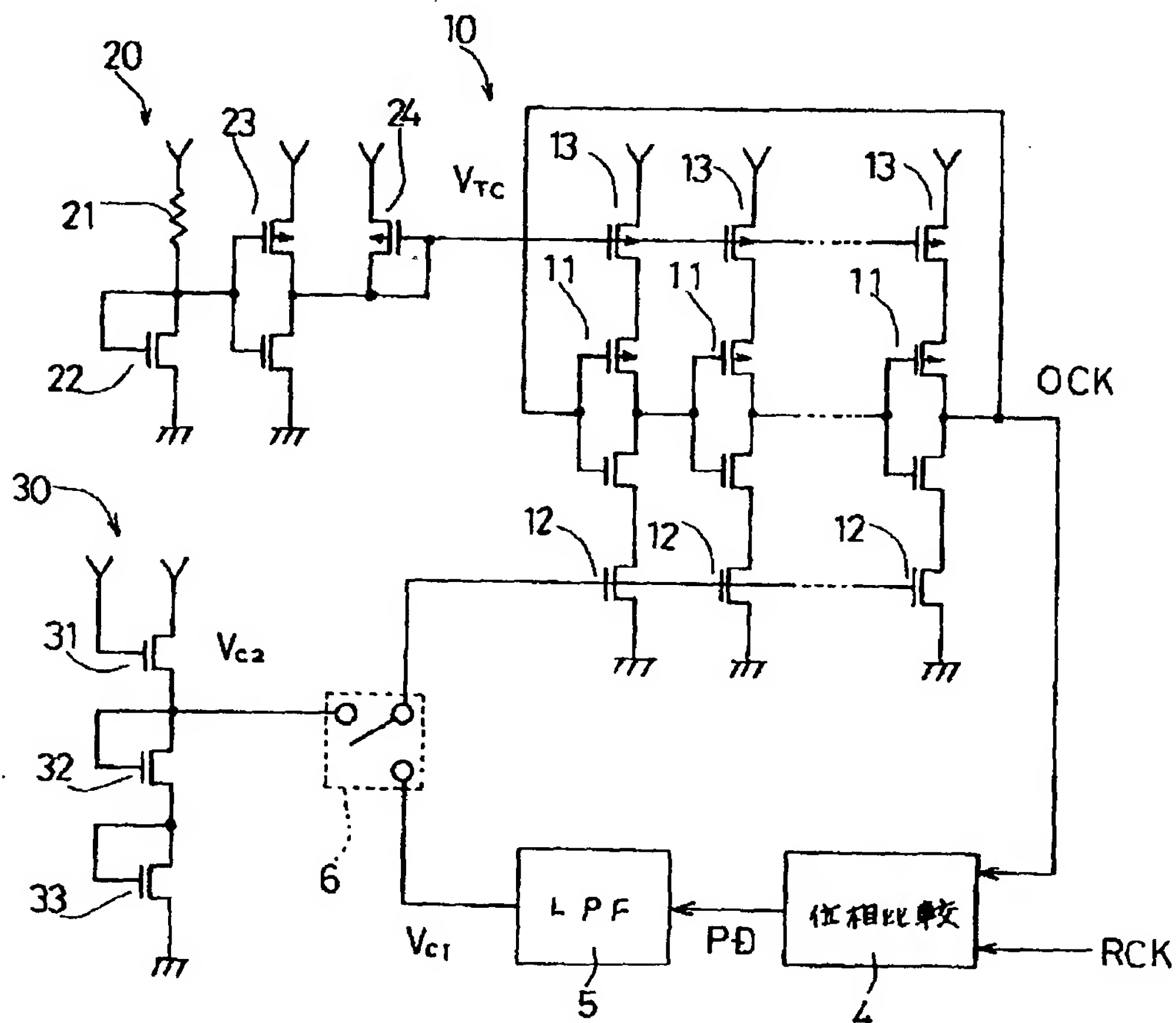
【図1】本発明の位相ロックループの構成を示す回路図である。

【図2】従来の位相ロックループの構成を示す回路図である。

【符号の説明】

- 1、10 電圧制御発振器
- 2、11 CMOSトランジスタ
- 3、12 Nチャンネル型MOSトランジスタ
- 4 位相比較器
- 5 ローパスフィルタ
- 6 選択回路
- 13 Pチャンネル型MOSトランジスタ
- 20 温度補償回路
- 10 30 電圧補償回路

【図1】



【図2】

